

PATENT
8008-1045

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Masanao HORIE

Appl. No.:

Conf.:

Filed:

August 13, 2003

Group:

Title:

Examiner:
FABRICATION METHOD FOR A SEMICONDUCTOR
CSP TYPE PACKAGE

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 13, 2003

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-236640	August 14, 2002

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/yr

Attachment(s): 1 Certified Copy(ies)

日本国特許庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月14日

出願番号

Application Number:

特願2002-236640

[ST.10/C]:

[JP2002-236640]

出願人

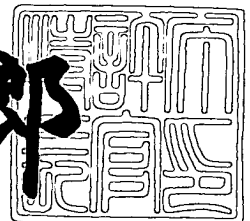
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034344

【書類名】 特許願

【整理番号】 71110520

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 23/12
H01L 23/30

【発明の名称】 半導体用 C S P 型パッケージ及びその製造方法

【請求項の数】 6

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 堀江 正直

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

 【電話番号】 03-3433-4221

【手数料の表示】

 【予納台帳番号】 009782

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体用 C S P 型パッケージ及びその製造方法

【特許請求の範囲】

【請求項 1】 L S I チップを搭載する半導体用 C S P 型パッケージにおいて、平面視の大きさが前記 L S I チップよりも大きく、外部端子搭載領域が前記 L S I チップの外縁端よりも外側まで延出していることを特徴とする半導体用 C S P 型パッケージ。

【請求項 2】 L S I チップが形成されたウエハを切断して前記 L S I チップを個片化し、前記 L S I チップ周辺に等間隔の空隙を設けて前記 L S I チップを整列させ、前記空隙を絶縁性樹脂材で埋め込み配線形成領域を拡大して前記 L S I チップ外縁端よりも外側に延出した外部端子搭載領域を設けることを特徴とする半導体用 C S P 型パッケージの製造方法。

【請求項 3】 前記 L S I チップは個片毎にフォトリソグラフィ用のアライメントマークを有し、前記配線及び前記外部端子形成工程において、前記 L S I チップ個片でのパターニングの位置合わせに前記アライメントマークを用いることを特徴とする請求項 2 に記載の半導体用 C S P 型パッケージの製造方法。

【請求項 4】 前記 L S I チップは個片化された後に選別されたチップのみであることを特徴とする請求項 2 又は 3 に記載の半導体用 C S P 型パッケージの製造方法。

【請求項 5】 前記 L S I チップは基体上に前記空隙を設けて並べて接着されることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の半導体用 C S P 型パッケージの製造方法。

【請求項 6】 前記空隙は前記ウエハを延展性を備えたシートに接着した後、前記ウエハを切断して前記 L S I チップを個片化し、前記シートを等方的に拡大させることにより設けることを特徴とする請求項 2 又は 3 に記載の半導体用 C S P 型パッケージの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は L S I (Large Scale Integrated Circuit: 大規模集積回路) を搭載するチップサイズパッケージ (Chip Size Package: C S P) 型のパッケージ及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

従来技術による半導体用 C S P 型パッケージには、ビルドアップタイプの C S P 型パッケージとウエハレベル C S P 技術による C S P 型パッケージとがある。図 1 3 は、従来のビルドアップタイプの半導体用 C S P 型パッケージ 1 1 0 の模式的断面図である。ビルドアップタイプの C S P 型パッケージ 1 1 0 においては、ガラスエポキシ及びポリイミド等の有機材料からなる基板 1 0 7 の上側表面に複数個の C S P パッド 1 0 3 が形成され、下側表面には複数個の外部パッド 1 0 5 が形成されている。この C S P パッド 1 0 3 と外部パッド 1 0 5 とは、基板 1 0 7 の内部に形成された C S P 内部配線 1 0 4 により相互に電氣的に接続されている。また、C S P パッド 1 0 3 上には夫々 C S P ボール 1 0 2 が形成され、これら C S P ボール 1 0 2 上部には L S I チップ 1 0 1 が載置されて実装されている。一方、基板 1 0 7 の下側表面に形成された外部パッド 1 0 5 上には夫々半田ボール 1 0 6 が形成されている。L S I チップ 1 0 1 は C S P ボール 1 0 2 及び C S P パッド 1 0 3 を介して基板 1 0 7 内部に形成された C S P 内部配線 1 0 4 と電氣的に接続され、この C S P 内部配線 1 0 4 は外部パッド 1 0 5 及び半田ボール 1 0 6 を介して、プリント基板等の外部基板 (図示せず) と電氣的に接続される。

【 0 0 0 3 】

図 1 4 乃至図 1 7 は、この従来技術によるビルドアップタイプの半導体用 C S P 型パッケージ 1 1 0 の製造方法を示す。図 1 4 (a) に示すように、従来のビルドアップタイプの半導体用 C S P 型パッケージの製造方法においては、先ず、ガラスエポキシ及びポリイミド等の有機材料からなる基板コア材 1 0 7 a の所望の位置に、この基板コア材 1 0 7 a を貫通する複数のビアホール 1 0 7 b が開口される。次に、このビアホール 1 0 7 b が開口された基板コア材 1 0 7 上の全面にわたりアルミニウム及び銅等の金属膜が公知のメッキ技術により堆積され、ビ

アホール 1 0 7 b 内部も同じ金属材で同時に埋め込まれる。次に、公知のフォトリソグラフィ技術及びエッチング技術により配線形状がパターンニングされ、図 1 4 (b) に示すような配線パターン 1 0 4 が形成される。次に、この配線パターン 1 0 4 が形成された基板コア材 1 0 7 a の両面に、図 1 4 (c) に示すように、ガラスエポキシ及びポリイミド等の有機材料からなる積層板 1 0 7 d が接着積層され、これらの積層板 1 0 7 d に複数のビアホール 1 0 7 c が開口される。次に、上述と同様にして、公知のメッキ技術により積層板 1 0 7 d に開口されたビアホール 1 0 7 c が金属材で埋め込まれ、積層板 1 0 7 d の基板コア材 1 0 7 a と接着されていない側の表面には、フォトリソグラフィ技術及びエッチング技術により配線パターン 1 0 4 が形成される。図 1 4 (d) に示すように、このビアホール 1 0 7 c が金属材で埋め込まれ配線パターン 1 0 4 が形成される工程によって、C S P パッド 1 0 3 及び外部パッド 1 0 5 が積層板 1 0 7 d の表面に同時に形成される。次に、保護膜 1 0 7 e が、積層板 1 0 7 d 上の全面にわたり公知のコーティング法等により形成される。最後に、フォトリソグラフィ技術及びエッチング技術等を組み合わせた工程によって、C S P パッド 1 0 3 及び外部パッド 1 0 5 上に形成された保護膜 1 0 7 e が除去され、これら C S P パッド 1 0 3 及び外部パッド 1 0 5 が外部と電氣的に接続されるための開口部が設けられる。

【 0 0 0 4 】

このようにして製造された基板 1 0 7 は、図 1 5 に示すように、C S P ボール 1 0 2 を介して L S I チップ 1 0 1 と電氣的に接続され、半田ボール 1 0 6 を介してプリント基板等の外部基板（図示せず）と電氣的に接続される。この基板 1 0 7 上に L S I チップ 1 0 1 を実装してビルドアップタイプの半導体用 C S P 型パッケージ 1 1 0 を組み立てる工程においては、先ず、L S I チップ 1 0 1 表面に形成された L S I パッド電極（図示せず）上に C S P ボール 1 0 2 が配置される。この C S P ボール 1 0 2 と基板 1 0 7 上に形成された C S P パッド 1 0 3 との位置が一致するように位置決めがなされた後、L S I チップ 1 0 1 は基板 1 0 7 上に実装される。なお、C S P ボール 1 0 2 には共晶半田又は無鉛半田等が用いられる。また、C S P ボール 1 0 2 の代わりに半田バンプ又は金バンプが用いられることもある。更にまた、L S I チップ 1 0 1 を基板 1 0 7 上に実装する際

には、例えば、CSPパッド103表面上に金属フラックス等を塗布した後、CSPボール102として共晶半田を使用する場合には約210℃前後の温度で、無鉛半田を使用する場合には約260℃前後の温度で加熱しながら、LSIチップ101上のCSPボール102を基板107上のCSPパッド103に圧着することによって、これらを物理的及び電氣的に接続する。なお、CSPボール102の代わりに金バンプを用いる場合には、上記加熱温度を約300℃前後にすることが多い。次に、上記のCSPボール102の接続方法と同様の方法によって、LSIチップ101が実装された基板107の外部パッド105上に半田ボール106を装着させる。なお、半田ボール106の代わりにバンプを用いることもある。また、半田ボール106は、基板107を製造した後、LSIチップ101が基板107に実装される前に基板107に取り付けられることもある。

【0005】

上述のような基板107の製造工程は、図16(a)に示すように、複数の基板107がフレーム111により相互に繋ぎ合わされた状態で実施される。そして、図16(b)に示すように、これらの基板107をフレーム111から切断して個片化した後に、この個片化された基板107上にLSIチップ101を実装してビルドアップタイプのCSP型パッケージ110を組み立てる。なお、図17(a)に示すように、多数のCSP型パッケージ110を1個のCSP集合体112として製造し、各CSP型パッケージ110上のLSIチップ搭載部分に夫々LSIチップ101を実装した後に、図17(b)に示すように、このLSIチップが搭載された各CSP型パッケージ110を各個片に切断する方法もある。

【0006】

このようなビルドアップタイプの半導体用CSP型パッケージは、最近のLSIの高密度化に伴うパッケージレベルでの小型化及び高密度化の要求のもとに実際に使用されている。また、各種の半導体用パッケージにおいても、配線数の増大に伴うパッケージの多ピン化及び多層化が急速に進行しており、ビルドアップタイプのCSP型パッケージにおいても、ガラスエポキシ及びポリイミド等の有機系基材でできた基板を積層する等の方法によって、配線数の増大に伴う

パッケージの多ピン化及び多層化に対応している。しかしながら、従来のビルドアップタイプのＣＳＰ型パッケージにおいては、ガラスエポキシ及びポリイミド等の有機系基材でできた基板を積層することによる多ピン化及び多層化の進行によって、パッケージが重くなるという問題が生じている。また、このようなパッケージレベルにおける多ピン化及び多層化は、製造に必要な工数を増大させ、製造時間を長期化させる。このため、開発費用を含む製造コストが高くなり、パッケージ製造単価も高騰してしまう。

【 0 0 0 7 】

一方、他の従来技術であるウエハレベルＣＳＰ技術においては、パッケージ製造工程とＬＳＩチップ実装組立工程とが一体化されている。このため、この従来技術においては、パッケージング・コストが大幅に低減されると共に、ＬＳＩチップサイズと同等又はＬＳＩチップよりわずかに大きいサイズで高密度に実装された半導体用ＣＳＰ型パッケージを製造することができる。よって、ウエハレベルＣＳＰ技術は、ビルドアップタイプのＣＳＰ型パッケージを製造する技術と比較して、より小型で高密度に実装された半導体用ＣＳＰ型パッケージを、より低コストで製造することができる技術である。

【 0 0 0 8 】

図 1 8 乃至図 2 3 は、従来のウエハレベルＣＳＰ技術による半導体用ＣＳＰ型パッケージの製造工程を示す。図 1 8 は、従来のウエハレベルＣＳＰ技術による半導体用ＣＳＰ型パッケージ 6 1 の断面図である。この半導体用ＣＳＰ型パッケージ 6 1 では、図 1 8 に示すように、ＬＳＩチップ 5 1 上にＬＳＩチップ 5 1 からの電氣的接続をとるための電極としてＬＳＩパッド 5 2 が形成されている。このＬＳＩチップ 5 1 の表面は、ＬＳＩパッド 5 2 が形成された部分を除いて全面的に第 1 樹脂コート層 5 3 で覆われている。一方、ＬＳＩパッド 5 2 上には、ＬＳＩチップ 5 1 からの電氣的接続をＬＳＩパッド 5 2 を介してとるための第 1 コンタクト電極 5 4 が形成されている。また、この第 1 コンタクト電極 5 4 上を含む第 1 樹脂コート層 5 3 上の一部には、半導体用ＣＳＰ型パッケージ 6 1 内部に配線を引き回して電氣的信号を伝達するための中間配線層 5 5 が形成されている。この中間配線層 5 5 上の一部には第 2 コンタクト電極 5 7 が形成されており、

この第2コンタクト電極57上の一部を除いて、絶縁性の第2樹脂コート層56によりその周囲を埋められて電氣的に絶縁されている。第2樹脂コート層56に覆われていない第2コンタクト電極57上には、LSIチップ51からの電気信号を外部基板等（図示せず）に伝えるための電極として、CSPパッド58が形成されている。また、このCSPパッド58上を覆うようにして、この半導体用CSP型パッケージ61の外部出力端子となるCSPバンプ59が形成されている。このCSPバンプ59を介して、ウエハレベルCSP技術による半導体用CSP型パッケージ61は、プリント基板等の外部の配線基板等（図示せず）の接続端子に接続される。

【0009】

従来のウエハレベルCSP技術による半導体用CSP型パッケージ61においては、LSIチップ51から出力される電気信号は、LSIパッド52、第1コンタクト電極54、中間配線層55、第2コンタクト電極57、CSPパッド58及びCSPバンプ59を順に通過することによって、この半導体用CSP型パッケージ61外部のプリント基板等の配線基板等に伝えられる。また、この半導体用CSP型パッケージ61の外部のプリント基板等の配線基板等からの電気信号は、この逆の経路を順に通過することによりLSIチップ51に伝えられる。CSPバンプ59は、半導体用CSP型パッケージ61内で中間配線層55を引き回すことによって、LSIチップ51及び半導体用CSP型パッケージ61の外周であるLSIチップサイドライン60の内側の範囲内の任意の位置に配置される。なお、図18は中間配線層55を一層のみ設けた例であるが、中間配線層55の層数には制限は無く、技術的に可能な範囲で複数層の中間配線層55が形成される。

【0010】

図19は、この従来のウエハレベルCSP技術による半導体用CSP型パッケージ61の平面図である。LSIチップ51と半導体用CSP型パッケージ61とは、その大きさがほぼ同じである。また、LSIパッド52の位置は、CSPバンプ59の位置とは必ずしも一致していないが、極めて近い位置に配置されている。

【 0 0 1 1 】

次に、このようなウエハレベルCSP技術による半導体用CSP型パッケージの製造方法について述べる。図20(a)は、ウエハプロセス(半導体製造前工程)の最終プロセスである拡散工程を完了したウエハ71を示す。ウエハプロセスを完了したウエハ71表面には、各LSIチップ51の境界線であるスクライプライン72が縦横に存在している。図20(b)は、このウエハ71の断面を示す。ウエハプロセスによりウエハ71表面に形成された各LSIチップ51上には、LSIチップ51とこれを実装する半導体用CSP型パッケージ61とを接続するLSIパッド52が形成されている。LSIパッド52は、公知の化学的気相成長(Chemical Vapor Deposition: CVD)法により、アルミニウム等の金属をウエハ71上の全面にわたり堆積させた後、公知のフォトリソグラフィ技術及びエッチング技術によって、パッド形状をパターニングすることにより形成される。また、LSIパッド52上を除くウエハ71表面は全面にわたりシリコン酸化膜、シリコン窒化膜又はポリイミド膜等からなる絶縁膜(図示せず)で覆われている。これによって、ウエハ71は電氣的絶縁性を保つと共に、機械的及び化学的な衝撃からも保護されている。

【 0 0 1 2 】

従来のウエハレベルCSP技術においては、図21(a)乃至(c)に示すように、まず、ウエハ71上を全面にわたり覆うように第1樹脂コート層53が形成される。図21(a)は、従来のウエハレベルCSP技術による半導体用CSP型パッケージの製造方法を示す平面図であり、図21(b)は同じく断面図であり、また、図21(c)は図21(b)の部分的拡大図である。第1樹脂コート層53の形成方法としては、高い熱流動性を有する熱硬化型ポリイミド材をウエハ71上に公知のスピンコート法等より塗布した後、このウエハ71を100℃～150℃に加熱することによって、塗布されたポリイミド材による膜を硬化させて樹脂コート層とする方法がある。また、樹脂薄膜製封止フィルム53aをウエハ71上に貼り付ける方法もある。この樹脂薄膜製封止フィルム53aをウエハ71上に貼り付ける方法においては、樹脂薄膜製封止フィルム53aを貼り付けたウエハ71をホットプレート等で挟み込み、約100℃程度に加熱してウ

エハ 7 1 上の全面にわたり樹脂薄膜製封止フィルム 5 3 a を圧着させることによって、第 1 樹脂コート層 5 3 が形成される。

【 0 0 1 3 】

次に、この第 1 樹脂コート層 5 3 が形成されたウエハ 7 1 上にフォトレジストを塗布し、ウエハ 7 1 上の L S I パッド 5 2 上に形成された第 1 樹脂コート層 5 3 上に塗布されたフォトレジストを公知のフォトリソグラフィ技術により除去する。そして、公知のエッチング技術又はレーザ加工技術等によって、図 2 2 (a) に示すように、L S I パッド 5 2 上の第 1 樹脂コート層 5 3 が取り除かれ、L S I パッド 5 2 上にコンタクトホール 8 1 が形成される。

【 0 0 1 4 】

次に、このコンタクトホール 8 1 が形成されたウエハ 7 1 上の全面にわたり、公知のメッキ技術を用いてアルミニウム及び銅等の金属膜を形成する。これによって、コンタクトホール 8 1 はアルミニウム及び銅等の金属材で埋め込まれる。ウエハ 7 1 上でコンタクトホール 8 1 以外の表面に堆積された金属材は、公知のエッチバック技術等によって取り除かれる。このようにして、コンタクトホール 8 1 はアルミニウム及び銅等の金属材で埋め込まれ、第 1 コンタクト電極 5 4 が形成される。なお、上記のようなエッチング技術とメッキ技術の組み合わせによるコンタクト電極形成方法の他に、第 1 樹脂コート層 5 3 を形成する前に銅等の金属材で柱状のポストを形成し、これを公知のモールド封止技術を用いて絶縁性樹脂で覆うことによって、第 1 樹脂コート層 5 3 と第 1 コンタクト電極 5 4 とを形成する方法も知られている。

【 0 0 1 5 】

次に、第 1 コンタクト電極 5 4 が形成されたウエハ 7 1 上の全面にわたって、銅及び金等の金属材を公知のメッキ技術により堆積させ、公知のフォトリソグラフィ技術及びエッチング技術によって、図 2 2 (b) に示すように、第 1 コンタクト電極 5 4 上を含む第 1 樹脂コート層 5 3 上に中間配線層 5 5 を形成する。

【 0 0 1 6 】

次に、第 1 樹脂コート層 5 3 を形成するのと同じ方法により第 2 樹脂コート層 5 6 を、第 1 コンタクト電極 5 4 を形成するのと同じ方法により第 2 コンタクト

電極 5 7 及び C S P パッド 5 8 を夫々形成する。この C S P パッド 5 8 上に、アルミニウム及び金等の金属材をディスペンサを用いて加熱しながら圧着させ、図 2 3 (a) に示すように、C S P バンプ 5 9 を形成する。なお、C S P バンプ 5 9 の代わりに半田ボールを用いる方法もある。

【 0 0 1 7 】

最後に、この C S P バンプ 5 9 が形成されたウエハ 7 1 を、図 2 3 (b) に示すように、スクライブライン 7 2 でダイヤモンドカッタ又はレーザー等により切断し、各個片の半導体用 C S P 型パッケージ 6 1 を得る。

【 0 0 1 8 】

このようにして製造されるウエハレベル C S P 技術による半導体用 C S P 型パッケージにおいては、ビルドアップタイプの C S P 型パッケージのようなパッケージレベルでの多ピン化及び多層化に伴う重量の急増という問題は発生しない。

【 0 0 1 9 】

【発明が解決しようとする課題】

しかしながら、従来のウエハレベル C S P 技術による半導体用 C S P 型パッケージにおいては、最近の L S I の微細化に伴って、プリント基板等の外部の基板との接続部である外部端子のピッチが非常に狭くなる傾向がある。このため、プリント基板等の外部基板の配線設計が難しくなっている。また、L S I チップをパッケージに実装した後に実施する L S I 機能動作確認のためのテスト（以下、選別工程と記す）に使用するソケットは、この極めて狭い外部端子のピッチに対応するものを選択すると、極めて高価なものになってしまう。ウエハレベル C S P 技術による半導体用 C S P 型パッケージにおいては、外部端子のピッチは $400\ \mu\text{m}$ 以下であり、端子間隔は $100\ \mu\text{m}$ 程度であるのが一般的である。このため、プリント基板等の外部基板においては、端子間を通せる配線数が限られてしまう。よって、プリント基板等の外部基板も配線層多層化の必要性が高まり、コスト増大及び製造工期の延長等の問題に繋がっている。このように、ウエハレベル C S P 技術による半導体用 C S P 型パッケージにおいては、外部基板との接続端子のピッチが極めて狭いことに伴う問題が顕著であるが、従来のウエ

ハレベルC S P技術では、パッケージサイズが実装されるL S Iチップの大きさで決められてしまうため、外部端子を搭載できる領域にも制限がある。従って、外部端子のピッチを広げると搭載できる外部端子の数が減ってしまい、配線設計の自由度も制限されるという問題もある。

【 0 0 2 0 】

特開 2 0 0 1 - 1 5 6 5 0 号公報には、外部端子をプリント基板等の外部基板に接続する際に、この極めて狭いピッチで隣接した外部端子上で半田バンプを溶融することから生じる半田バンプ間のブリッジによる配線ショートの問題を指摘し、半田を介さずに金属メッキで外部端子と配線導体とを接続することによって、半導体用C S P型パッケージを外部基板に実装する技術が開示されている。

【 0 0 2 1 】

しかしながら、この従来技術においては、外部端子のピッチが極めて狭いことによって生じる多数の問題点のうち、外部端子上に発生する配線間ショートを回避するという課題のみが存在し、他の課題は存在しない。よって、外部基板の配線設計を容易にし、外部基板における配線の多層化を回避し、製造コストの抑制及び製造工期の短縮を可能とするという課題も存在しない。従って、このような実装されるL S Iチップの大きさがパッケージサイズが決定されてしまうことによって発生する課題を解決するための具体的な手段も開示されていない。

【 0 0 2 2 】

本発明はかかる問題点に鑑みてなされたものであって、ビルドアップタイプのC S P型パッケージと比較して小型化及び軽量化が可能なウエハレベルC S P技術によって、ビルドアップタイプC S P型パッケージと同等レベルの外部端子ピッチを確保した半導体用C S P型パッケージ及びその製造方法を提供することを目的とする。

【 0 0 2 3 】

【課題を解決するための手段】

本発明に係る半導体用C S P型パッケージは、平面視の大きさが前記L S Iチップよりも大きく、外部端子搭載領域が前記L S Iチップの外縁端よりも外側まで延出していることを特徴とする。

【 0 0 2 4 】

本発明に係る半導体用CSP型パッケージの製造方法は、LSIチップが形成されたウエハを切断して前記LSIチップを個片化し、前記LSIチップ周辺に等間隔の空隙を設けて前記LSIチップを整列させ、前記空隙を絶縁性樹脂材で埋め込み配線形成領域を拡大して前記LSIチップ外縁端よりも外側に延出した外部端子搭載領域を設けることを特徴とする。

【 0 0 2 5 】

前記LSIチップは、個片毎にフォトリソグラフィ用のアライメントマークを有し、前記配線及び前記外部端子形成工程において、前記LSIチップ個片でのパターニングの位置合わせに前記アライメントマークを用いることができる。

【 0 0 2 6 】

また、前記LSIチップは、個片化された後に選別されたチップのみとすることが好適である。

【 0 0 2 7 】

また、前記LSIチップを基体上に前記空隙を設けて並べて接着することによって、前記LSIチップ外縁端よりも外側に延出した外部端子搭載領域を設けることもできる。

【 0 0 2 8 】

更にまた、前記空隙は、前記ウエハを延展性を備えたシートに接着した後に前記ウエハを切断して前記LSIチップを個片化し、前記シートを等方的に拡大することにより設けることもできる。

【 0 0 2 9 】

【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。図1は本発明の第1実施形態に係る半導体用CSP型パッケージの断面図であり、図2は平面図である。また、図3乃至図7は本実施形態に係る半導体用CSP型パッケージの製造方法を示す図である。本実施形態においては、図1に示すように、シリコンウエハを基板として製造したLSIチップ1上に、LSIチップ1からの電氣的接続をとるための電極としてLSIパッド2が形成されている。ま

た、このLSIチップ1は、LSIパッド2が形成された側の表面及び側面を全面にわたり第1樹脂コート層3で覆われている。一方、LSIパッド2上には、LSIパッド2を介してLSIチップ1からの電氣的接続をとるための第1コンタクト電極4が形成されている。また、この第1コンタクト電極4上を含む第1樹脂コート層3上の一部には、中間配線層5が形成されている。この中間配線層5によって、本実施形態に係る半導体用CSP型パッケージ1内部には、電氣的信号を伝達するための配線層が引き回されている。また、この中間配線層5の一部はLSIチップ1の外縁端よりも外側まで延出し、LSIチップ1の外縁端よりも外側に形成された第1樹脂コート層3上に形成されている。この中間配線層5上には部分的に、この中間配線層5からの電氣的接続を取るための第2コンタクト電極7が形成されており、この第2コンタクト電極7は一部を除いて周辺を第2樹脂コート層6により埋められて電氣的に絶縁されている。また、第2樹脂コート層6に覆われていない第2コンタクト電極7上には、LSIチップ1からの電氣信号を外部に伝えるための電極としてCSPパッド8が形成されている。更に、このCSPパッド8を覆うようにして、この半導体用CSP型パッケージ11の外部端子としてCSPバンパ9が形成されている。一部のCSPパッド8及びCSPバンパ9は、LSIチップ1の外縁端よりも外側まで延出し、LSIチップ1の外縁端よりも外側に形成されており、必ずしもLSIパッド2上に形成されてはいない。このCSPバンパ9を介して、半導体用CSP型パッケージ11は、プリント基板等の外部配線基板等の接続端子（図示せず）に物理的及び電氣的に接続される。なお、図1は中間配線層5が一層のみである半導体用CSP型パッケージを示すが、中間配線層5の層数は特に制限されるものではなく、必要に応じて2層以上の複数層を形成することができる。

【0030】

本実施形態に係る半導体用CSP型パッケージ11は、図2に示すように、このCSP型パッケージ11に搭載されるLSIチップ1よりも外形が大きい。このため、LSIチップ1の外縁端を示すLSIチップサイドラインから外側に延出してLSIチップ1の外側にCSPバンパ9を形成することができる。よって、極めて狭い間隔で隣接して配置されているLSIパッド2と比較して、CSP

バンプ 9 は広いピッチで配置される。

【 0 0 3 1 】

図 3 乃至図 7 は、本実施形態に係る半導体用 C S P 型パッケージ 1 1 の製造工程を示す。図 3 (a) は本実施形態の製造工程を示す平面図であり、図 3 (b) は断面図である。本実施形態の製造工程においては、図 3 (a) 及び (b) に示すように、まず、ウエハプロセスの最終工程である拡散工程を完了して L S I チップが形成されたウエハ 2 1 に、このウエハ 2 1 上のスクライブライン 2 2 に沿った切込みを入れる。次に、この切込みが入ったウエハ 2 1 を、エレクトロンシート又はエポキシ樹脂製フィルム等のように容易に展延させることのできるシート等の上に密着させてダイシングすることにより切断する。次に、このウエハ 2 1 を密着させたシート等を均一に等方的に引き伸ばすことによって、図 4 (a) に示すように、このウエハ 2 1 上に形成された L S I チップ 1 を各個片に分離し、L S I チップ 1 周辺に等間隔の空隙を設ける。これらの各個片に分離された各 L S I チップ 1 上には、図 4 (b) に示すように、L S I パッド 2 がウエハプロセスによって既に設けられている。

【 0 0 3 2 】

次に、図 5 (a) に示すように、ウエハコート材等に使用する低粘性熱硬化型樹脂材を各個片に分離された L S I チップ 1 全体を覆うように一様に塗布し、これを 1 0 0 ℃ 乃至 3 0 0 ℃ 程度に加熱して硬化させることによって、第 1 樹脂コート層 3 を形成する。図 5 (b) 及びこの部分的拡大図である図 5 (c) に示すように、第 1 樹脂コート層 3 が、L S I チップ 1 上面及び側面を全面にわたって覆い、各 L S I チップ 1 の周辺に設けられた空隙を埋め込んでいる。

【 0 0 3 3 】

次に、この分離拡大され第 1 樹脂コート層 3 を形成されたウエハ 2 1 上の全面にフォトレジストを塗布し、L S I チップ 1 表面に予め形成されたアライメントマークを利用してフォトリソグラフィ技術による位置合わせ及びパターンニングを実施した後、ドライエッチング技術により第 1 樹脂コート層 3 をエッチングし、図 6 (a) に示すように、L S I パッド 2 上にコンタクトホール 3 1 を形成する。なお、第 1 樹脂コート層 3 を形成する材料として感光性樹脂コート材を採用し

、これをフォトリソグラフィ技術により直接パターニングすると、工程数を減らすことができる。

【 0 0 3 4 】

次に、このウエハ 2 1 上の全面に、無電界メッキ法により銅等の金属メッキ膜を堆積させた後、電界メッキ法により銅等の金属メッキ膜を引き続き堆積させることによって、コンタクトホール 3 1 を銅メッキ膜等の金属材で埋め込む。その後、エッチバック法により第 1 樹脂コート層 3 表面上等に堆積された不要な金属材を除去することによって、第 1 コンタクト電極 4 を形成する。なお、メッキ法の代わりに、導電性樹脂材等をコンタクトホール 3 1 内部に直接埋め込む方法を用いても良い。次に、図 6 (b) に示すように、この第 1 コンタクト電極 4 が形成されたウエハ 2 1 上の全面にわたって、無電界メッキ法又は電界メッキ法により銅等の金属材を堆積させた後、フォトリソグラフィ技術による位置合わせ及び所望配線パターンの形成を行い、第 1 コンタクト電極 4 上を含む第 1 樹脂コート層上に中間配線層 5 を形成する。なお、これらのメッキ法の代わりに、導電性シート等をこの第 1 コンタクト電極 4 が形成されたウエハ 2 1 上の全面に貼り付け、フォトリソグラフィ技術により配線パターンを露光形成する方法を用いても良い。

【 0 0 3 5 】

次に、図 7 に示すように、第 1 樹脂コート層 3 を形成する方法と同様の方法により第 2 樹脂コート層 6 を形成し、コンタクトホール 3 1 及び第 1 コンタクト電極 4 を形成する方法と同様の方法により第 2 コンタクト電極 7 を形成する。次に、中間配線層 5 と同様のメッキ法及びフォトリソグラフィ技術によって、この第 2 コンタクト電極 7 上を含む第 2 樹脂コート層上に C S P パッド 8 を形成する。なお、中間配線層 5 と同様に、導電性シートの貼り付け及びフォトリソグラフィ技術により C S P パッド 8 を形成しても良い。また、C S P パッド 8 上にニッケル又は金等のメッキ膜（図示せず）を堆積させることによって、次工程でこの C S P パッド 8 上に形成される C S P バンプ又は半田ボール等との密着性を向上させることができる。この C S P パッド 8 上に、3 0 0 ℃程度の熱を加えながら金等を圧着することにより C S P バンプ 9 を形成する。なお、金等の代わりに半田

バンプを240℃程度の温度で加熱しながらCSPパッド8に圧着することによって、CSPバンプ9を形成しても良い。また、金又は半田等のバンプの代わりに、半田ボールを取り付けても良い。このようにして形成されるCSPバンプ9及び半田ボールの直径は、300 μ m乃至500 μ mである。

【0036】

最後に、図7(b)に示すように、各LSIチップ1の間に設けられた空隙を埋め込む第1樹脂コート層及び第2樹脂コート層を、ダイヤモンドカッター又はレーザー等で切断し、各個片の半導体用CSP型パッケージ11の製造を完了する。

【0037】

なお、中間配線層5の積層数には特に制限はなく、必要に応じて複数層を積層形成することができる。2層以上の中間配線層5を積層形成するような場合においては、樹脂コート層3、コンタクト電極4、配線中間層5又はCSPパッド8を形成する工程を必要な回数だけ繰り返せば良い。また、コンタクト電極4を形成する方法は、上記のメッキ法とエッチバック法による方法の他に、LSIパッド2及び中間配線層5上に柱状の銅等でできたポストを形成した後に、モールド封止法と同様の方法によって、このポスト周辺をエポキシ系樹脂材等の絶縁性樹脂材で埋め込む方法を用いても良い。また、CSPパッド8とCSPバンプ9とからなる外部端子部分の形成方法についても、このCSPパッド8を形成せずに第2コンタクト電極7表面上に直接CSPバンプ9又は半田ボール等を形成する方法を用いることもできる。

【0038】

本実施形態においては、第1コンタクト電極4及び第2コンタクト電極7は、直径が夫々50 μ m乃至100 μ m程度であって、メッキ法等により堆積された銅等の金属材又は導電性樹脂材等で形成される。中間配線層5及びCSPパッド8は、従来のウエハレベルCSP法で採用される再配線技術と同様に、公知のメッキ法等により堆積された銅等の金属材をフォトリソグラフィ技術を用いてパターンニングすることにより形成される。また、第1樹脂コート層3及び第2樹脂コート層6を形成するために用いられる樹脂コート材は、従来のウエハレベルCS

P技術においてウエハコート材として用いられる耐熱性が高くモールド密着性が良好な低流動性樹脂材によって、 $10\mu\text{m}$ 乃至 $100\mu\text{m}$ 程度の厚さで形成される。

【0039】

本実施形態においては、エレクトロンシート又はエポキシ樹脂製フィルム等のように延展性を備えたシート等の上に、LSIチップ1が形成されたウエハ21を密着させてからダイシングしてLSIチップ1を個片化した後に、このシート等を等方的に拡大させることによって、LSIチップ1周辺に等間隔の空隙を設ける。そして、この空隙を絶縁性樹脂材で埋め込むことによって、中間配線層5が形成される領域を拡大している。本実施形態においては、この空隙に埋め込まれた絶縁性樹脂材上にCSPパッド8及びCSPバンプ9を形成することによって、LSIチップ1の外縁端よりも外側に延出した外部端子搭載領域を設けている。このため、CSPバンプ9をLSIチップ1の外縁端よりも外側に、LSIパッド2のピッチよりも広いピッチで形成することができる。

【0040】

次に、本発明の第2実施形態について添付の図面を参照して具体的に説明する。図8乃至図10は、本発明の第2実施例に係る半導体用CSP型パッケージの製造工程を示す。図8に示すように、ウエハ201a及び201b上に形成されたLSIチップにおいて、品質保証における規格値以上の特性を示す良品ペレットにはPのマークが記されている。本実施形態の製造工程においては、先ず、LSIチップの形成されたウエハをP/W試験によってスクリーニングした後、良品ペレット231a及び231bが存在するウエハ201a及び201bを、夫々のスクライブライン202a及び202bに沿って切断し、各LSIチップを個片化して良品ペレットを分離する。

【0041】

次に、図9に示すように、組立マウント工程で使用するペレット吸着治具等のような治具を用いて、各ウエハ201a及び201bから各良品ペレット231a及び231bを取り出し、シート又はステージ205上等に等間隔に並べ、図10(a)に示すような良品ペレット群204を形成する。

【 0 0 4 2 】

次に、図 1 0 (b) に示すように、このペレット群 2 0 4 上を全面にわたり覆うようにして樹脂コート材 2 0 3 を施す。そして、上記の第 1 実施形態と同様の方法によって、半導体用 C S P 型パッケージ 1 1 を形成する。本実施形態においては、L S I チップが形成されたウエハから良品ペレットのみを取り出し、これをパッケージ形成工程に移すことができる。このため、不良ペレットをパッケージングする等の無駄を省くことができ、製造コストを抑制することができる。

【 0 0 4 3 】

次に、本発明の第 3 実施形態について添付の図面を参照して具体的に説明する。図 1 1 及び図 1 2 は、本発明の第 3 実施形態に係る半導体用 C S P 型パッケージの製造工程を示す図である。本実施形態においては、第 2 実施形態と同様に、まず、P / W 試験により L S I チップが形成されたウエハをスクリーニングした後、このウエハをダイシングして各 L S I チップを個片化し、良品ペレットを選別し分離する。良品ペレットである L S I チップ 3 0 1 は、図 1 1 (a) に示すように、これを搭載する部分に銀等を主材とする金属ペースト等からなる接着剤 3 4 1 を塗布された厚さが 1 m m 程度の銅等でできた金属板 3 4 0 上に圧着され、1 5 0 ° C 程度で 2 乃至 3 時間のバークによって、この金属板 3 4 0 上に接着される。次に、図 1 1 (b) に示すように、第 1 実施形態と同様の方法によって、第 1 樹脂コート層 3 0 3 を形成し、L S I チップ 3 0 1 外縁端よりも外側に外部端子搭載領域を形成する。そして、第 1 実施形態と同様の方法によって、第 1 コンタクト電極、中間配線層、第 2 樹脂コート層、第 2 コンタクト電極、C S P パッド及び C S P バンプを形成した後に、図 1 2 に示すような半導体用 C S P 型パッケージ 3 1 1 を完成する。

【 0 0 4 4 】

本実施形態においては、金属板 3 4 0 は、半導体用 C S P 型パッケージ 3 1 1 完成後にパッケージ本体が反り返るのを防ぐ補強板としての役割を果たし、L S I チップ 3 0 1 の動作時に発生する熱を逃がすためのヒートスプレッダとしての役割を果たすこともできる。なお、L S I チップ 3 0 1 を金属板 3 4 0 に接着する接着剤として、銀ペーストの代わりに A u - S i テープ等を用いても良い。ま

た、金属板 3 4 0 の代わりにポリイミドテープ等を使用しても良い。更にまた、金型等を用いて L S I チップ 3 0 1 の側面から裏面にかけてモールド樹脂を流し込んでも良い。また、本実施形態においては、L S I チップ 3 0 1 を搭載する基体として金属板を用いたが、この基体を形成する材料は特に限定されず、樹脂製又はセラミックス製の基板並びにポリイミド等の樹脂膜であっても良い。

【 0 0 4 5 】

【発明の効果】

以上詳述したように、本発明に係る半導体用 C S P 型パッケージは、安価なウエハレベル C S P 技術を用いて、搭載される L S I チップよりも平面視の大きさが大きくなるように製造される。このため、L S I チップ外周よりも外側に外部端子を形成する領域を設けることができ、外部端子の形成ピッチを広げることができる。よって、この外部端子と接続される外部基板の配線設計を容易にし、外部基板における配線の多層化を回避し、製造コストを抑制し、製造工期を短縮することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態を示す断面図である。

【図 2】

本発明の第 1 実施形態を示す平面図である。

【図 3】

本発明の第 1 実施形態の製造工程を示す図である。

【図 4】

図 3 に続く製造工程を示す図である。

【図 5】

図 4 に続く製造工程を示す図である。

【図 6】

図 5 に続く製造工程を示す断面図である。

【図 7】

図 6 に続く製造工程を示す断面図である。

【図 8】

本発明の第 2 実施形態の製造工程を示す図である。

【図 9】

図 8 に続く製造工程を示す図である。

【図 1 0】

図 9 に続く製造工程を示す図である。

【図 1 1】

本発明の第 3 実施形態の製造工程を示す断面図である。

【図 1 2】

本発明の第 3 実施形態を示す断面図である。

【図 1 3】

従来のビルドアップタイプの C S P 型パッケージを示す断面図である。

【図 1 4】

従来のビルドアップタイプの C S P 型パッケージの製造工程を示す断面図である

【図 1 5】

図 1 4 に続く製造工程を示す断面図である。

【図 1 6】

図 1 5 に続く製造工程を示す平面図である。

【図 1 7】

図 1 5 に続く他の製造工程を示す平面図である。

【図 1 8】

従来のウエハレベル C S P 工法による C S P 型パッケージを示す断面図である

【図 1 9】

従来のウエハレベル C S P 工法による C S P 型パッケージを示す平面図である

【図 2 0】

従来のウエハレベル C S P 工法による C S P 型パッケージの製造工程を示す図

である。

【図 2 1】

図 2 0 に続く製造工程を示す図である。

【図 2 2】

図 2 1 に続く製造工程を示す断面図である。

【図 2 3】

図 2 2 に続く製造工程を示す断面図である。

【符号の説明】

- 1 ; L S I チップ
- 2 ; L S I パッド
- 3 ; 第 1 樹脂コート層
- 4 ; 第 1 コンタクト電極
- 5 ; 中間配線層
- 6 ; 第 2 樹脂コート層
- 7 ; 第 2 コンタクト電極
- 8 ; C S P パッド
- 9 ; C S P バンプ
- 1 0 ; L S I チップサイドライン
- 1 1 ; C S P 型パッケージ
- 2 1 ; ウェハ
- 2 2 ; スクライブライン
- 3 1 ; コンタクトホール
- 5 1 ; L S I チップ
- 5 2 ; L S I パッド
- 5 3 ; 第 1 樹脂コート層
- 5 3 a ; 樹脂薄膜製封止フィルム
- 5 4 ; 第 1 コンタクト電極
- 5 5 ; 中間配線層
- 5 6 ; 第 2 樹脂コート層

5 7 ; 第 2 コンタクト電極
5 8 ; C S P パッド
5 9 ; C S P バンプ
6 0 ; L S I チップサイドライン
6 1 ; C S P パッケージ
7 1 ; ウェハ
7 2 ; スクライブライン
8 1 ; コンタクトホール
1 0 1 ; L S I チップ
1 0 2 ; C S P ボール
1 0 3 ; C S P パッド
1 0 4 ; C S P 内部配線 (配線パターン)
1 0 5 ; 外部パッド
1 0 6 ; 半田ボール
1 0 7 ; 基板
1 0 7 a ; コア材
1 0 7 b ; ビアホール
1 0 7 c ; ビアホール
1 0 7 d ; 積層板
1 0 7 e ; 保護膜
1 1 0 ; C S P パッケージ
1 1 1 ; フレーム
1 1 2 ; C S P 集合体
2 0 1 a ; ウェハ a
2 0 1 b ; ウェハ b
2 0 2 a ; スクライブライン a
2 0 2 b ; スクライブライン b
2 0 3 ; 樹脂コート材
2 0 4 ; 良品ペレット群

2 0 5 ; ステージ

2 0 6 ; 吸着治具

2 3 1 a ; 良品ペレット a

2 3 1 b ; 良品ペレット b

3 0 1 ; L S I チップ

3 0 2 ; L S I パッド

3 0 3 ; 樹脂コート材

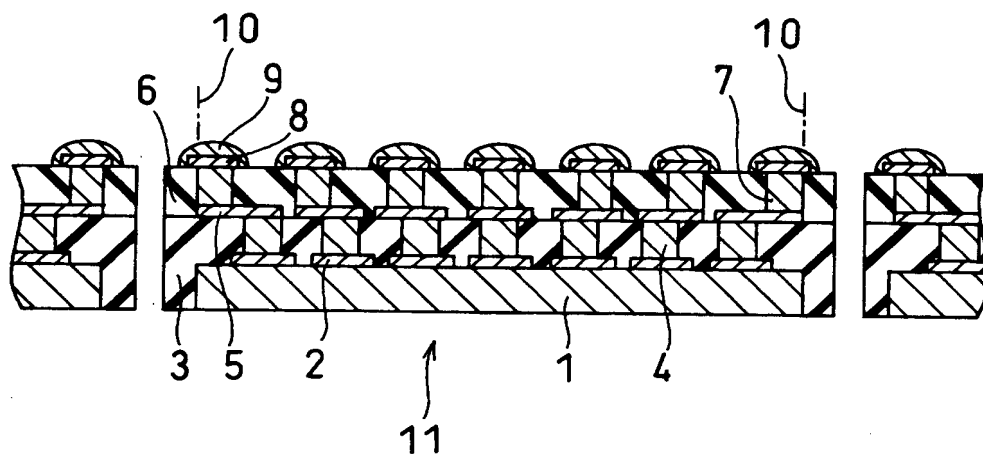
3 1 1 ; C S P 型パッケージ

3 4 0 ; 金属板

3 4 1 ; 接着剤

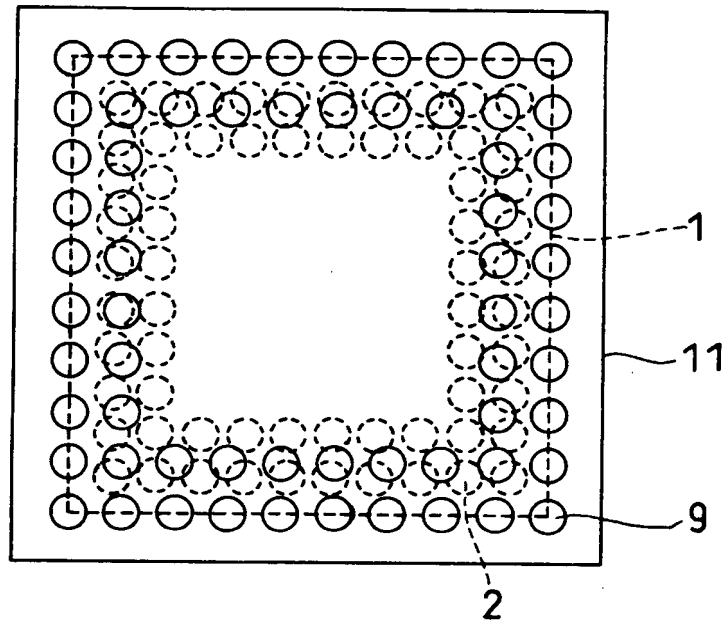
【書類名】 図面

【図 1】



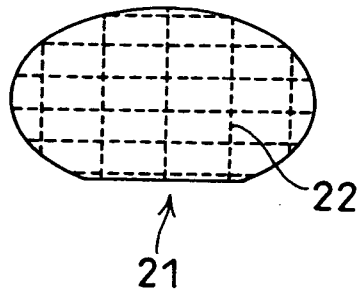
- 1 ; L S I チップ
- 2 ; L S I パッド
- 3 ; 第 1 樹脂コート層
- 4 ; 第 1 コンタクト電極
- 5 ; 中間配線層
- 6 ; 第 2 樹脂コート層
- 7 ; 第 2 コンタクト電極
- 8 ; C S P パッド
- 9 ; C S P バンプ
- 10 ; L S I チップサイドライン
- 11 ; C S P 型 パッケージ

【図 2】

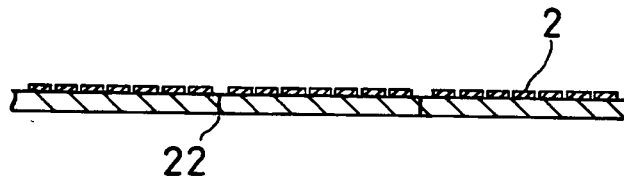


- 1 ; L S I チップ
- 2 ; L S I パッド
- 9 ; C S P バンプ
- 11 ; C S P 型 パッケージ

【図 3】



(a)



21

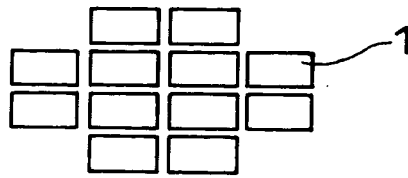
(b)

2 ; L S I パッド

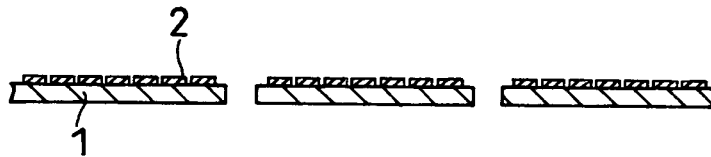
21 ; ウェハ

22 ; スクライブライン

【図 4】



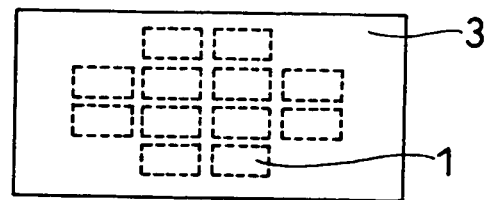
(a)



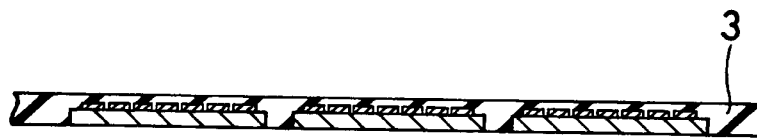
(b)

1: LSIチップ
2: LSIパッド

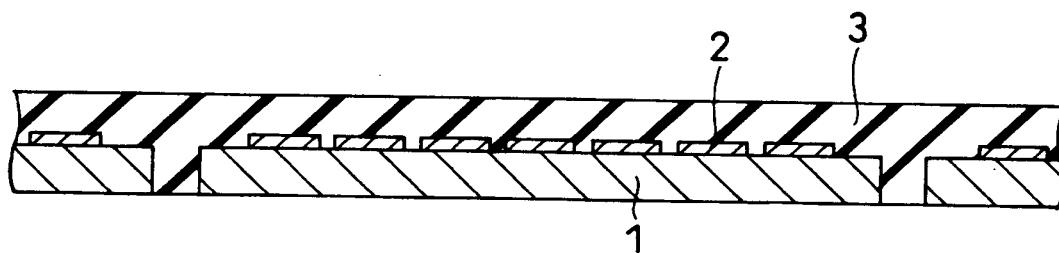
【図5】



(a)



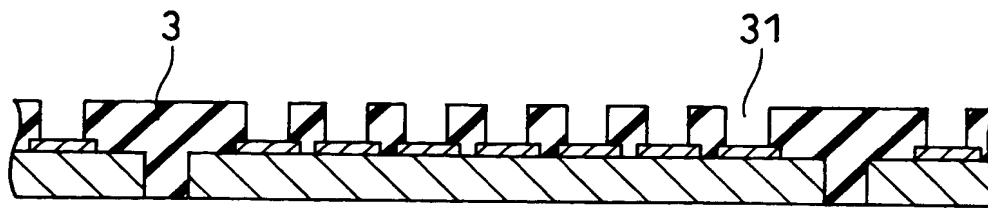
(b)



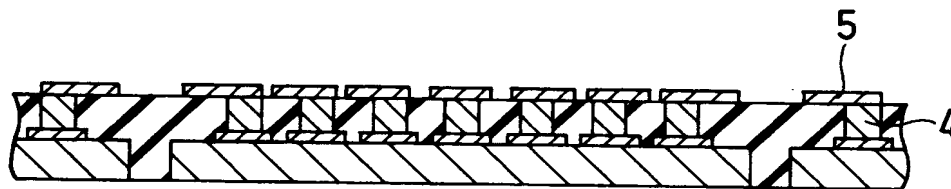
(c)

- 1 ; LSIチップ
- 2 ; LSIパッド
- 3 ; 第1樹脂コート層

【図 6】



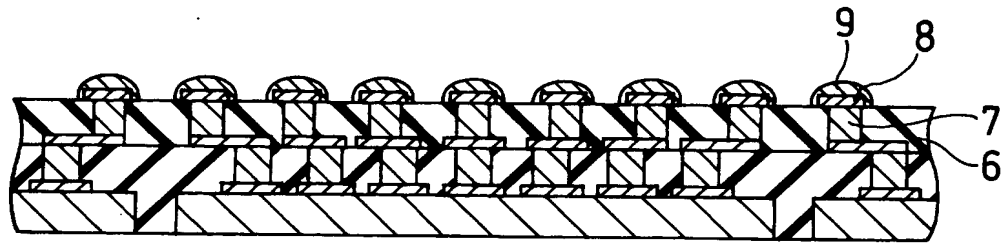
(a)



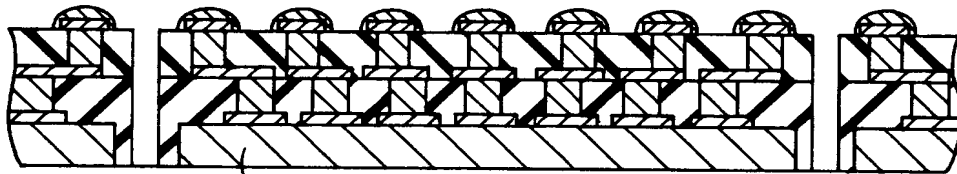
(b)

- 3 ; 第1樹脂コート層
- 4 ; 第1コンタクト電極
- 5 ; 中間配線層
- 31 ; コンタクトホール

【図 7】



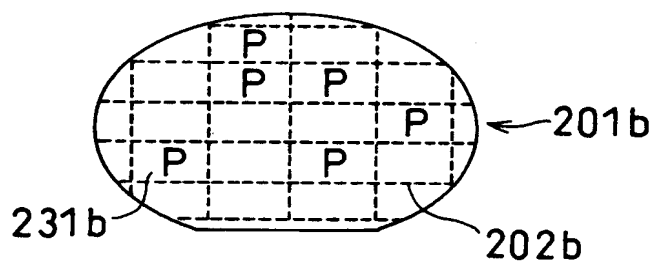
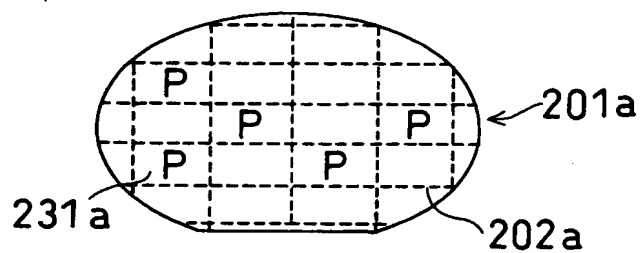
(a)



(b)

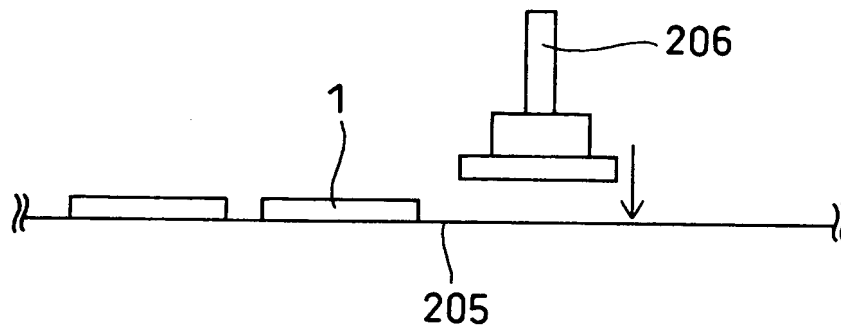
- 1 ; LSI チップ
- 6 ; 第2樹脂コート層
- 7 ; 第2コンタクト電極
- 8 ; CSPパッド
- 9 ; CSPバンブ
- 11 ; CSP型パッケージ

【図 8】



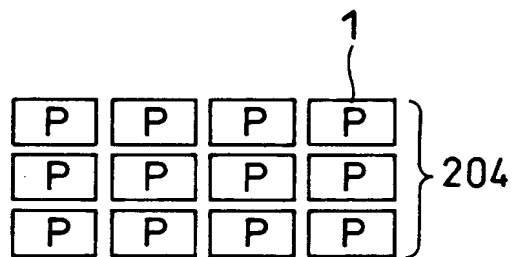
201a ; ウェハ a
 201b ; ウェハ b
 202a ; スクライブライン a
 202b ; スクライブライン b
 231a ; 良品ペレット a
 231b ; 良品ペレット b

【図 9】

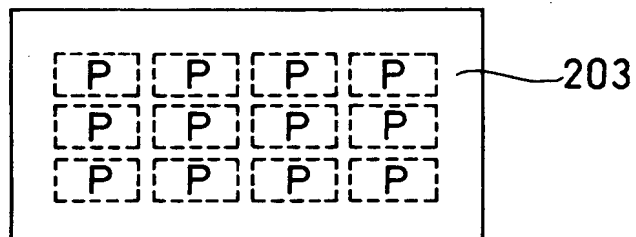


1 ; L S I チップ
205 ; ステージ
206 ; 吸着治具

【図 1 0】



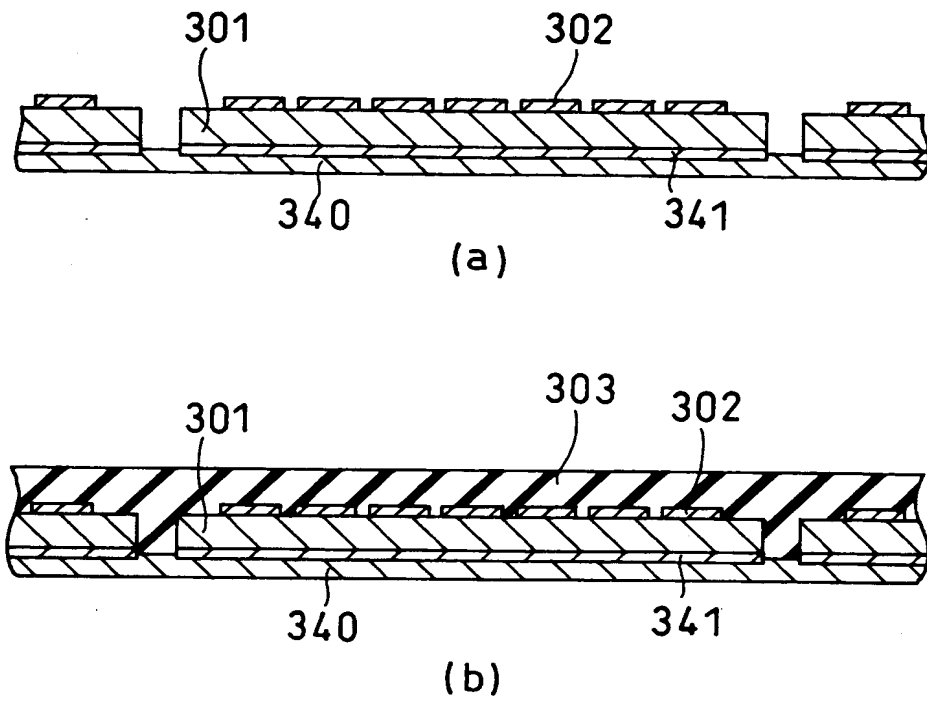
(a)



(b)

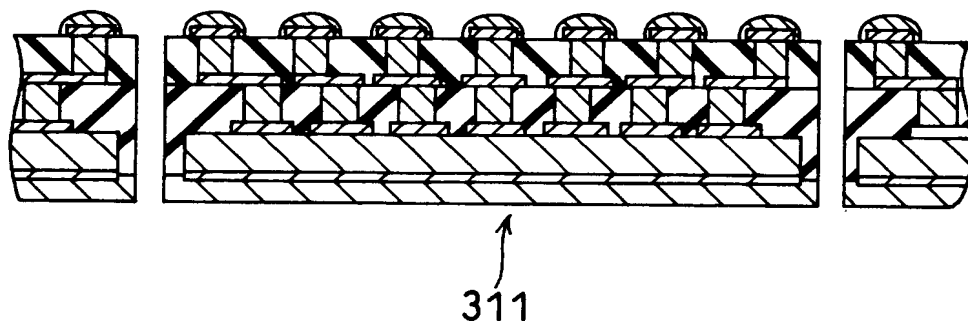
1 ; L S I チップ
 203 ; 樹脂コート材
 204 ; 良品ペレット群

【図 1 1】



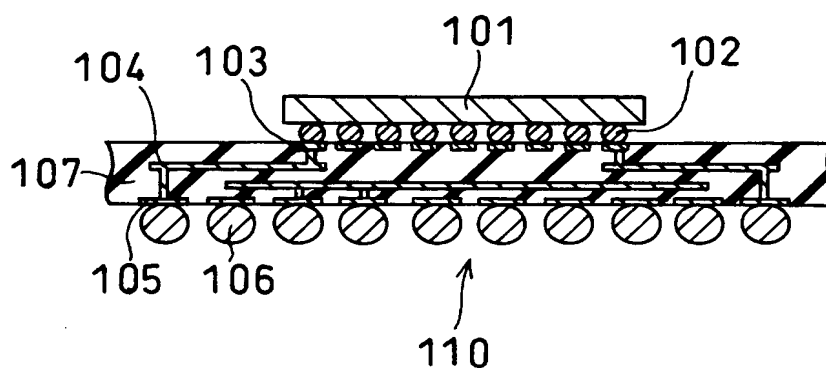
- 301 ; L S I チップ
- 302 ; L S I パッド
- 303 ; 樹脂コート材
- 340 ; 金属板
- 341 ; 接着剤

【図 1 2】



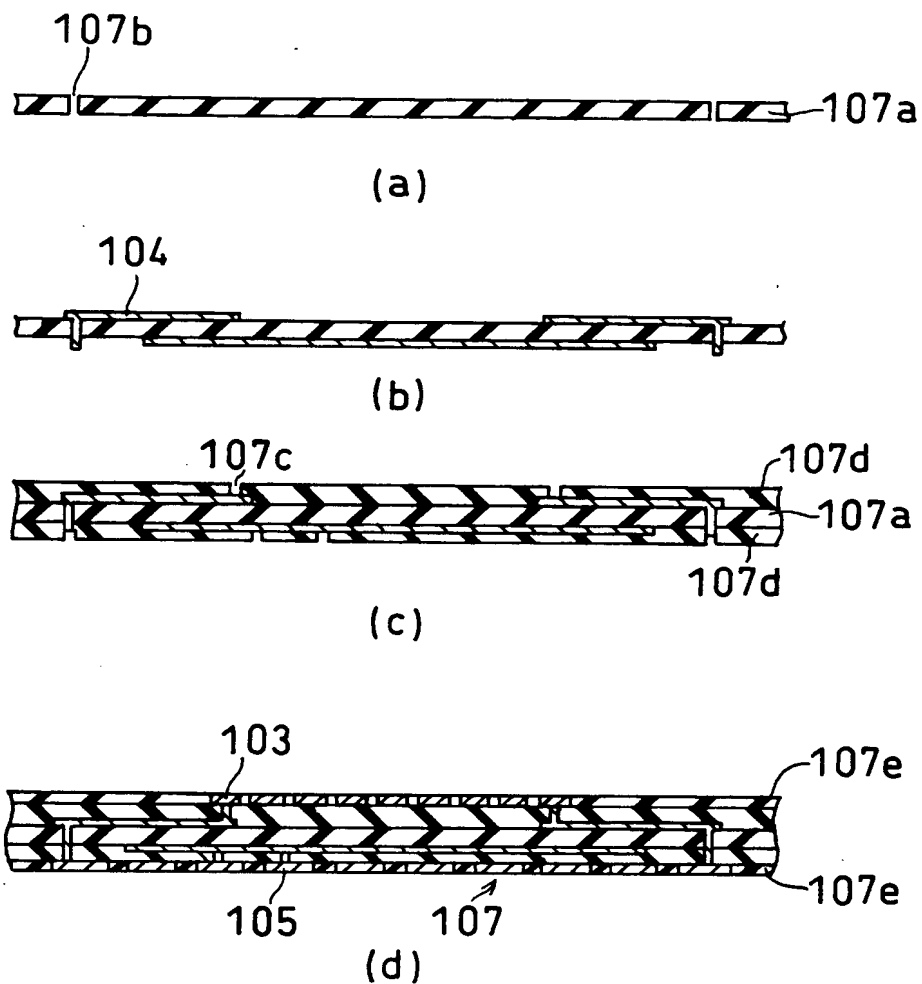
311 ; CSP型パッケージ

【図 1 3】



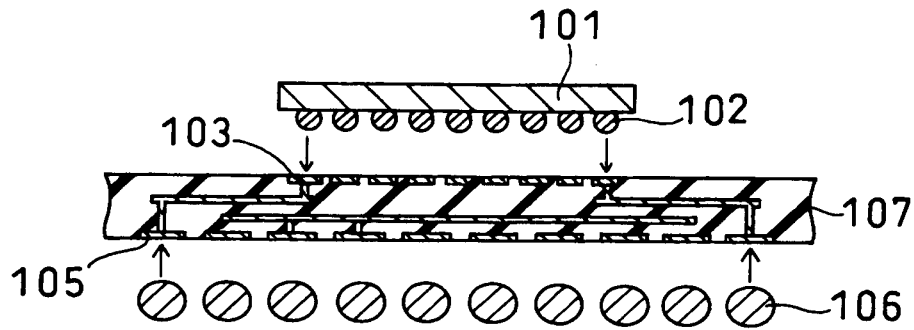
- 101 ; LSIチップ
- 102 ; CSPボール
- 103 ; CSPパッド
- 104 ; CSP内部配線
- 105 ; 外部パッド
- 106 ; 半田ボール
- 107 ; 基板
- 110 ; CSPパッケージ

【図 1 4】



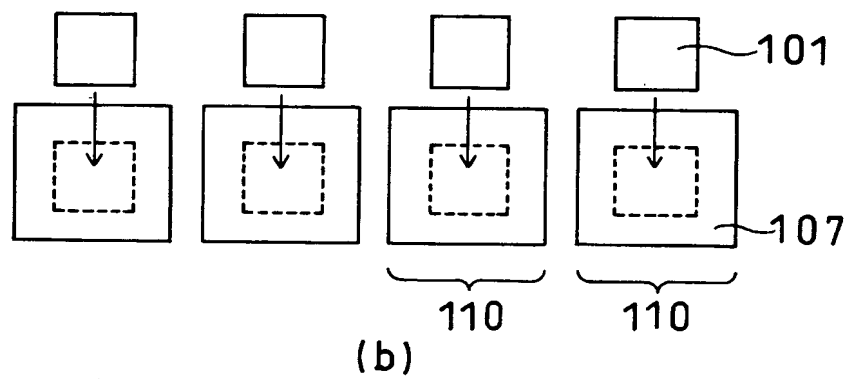
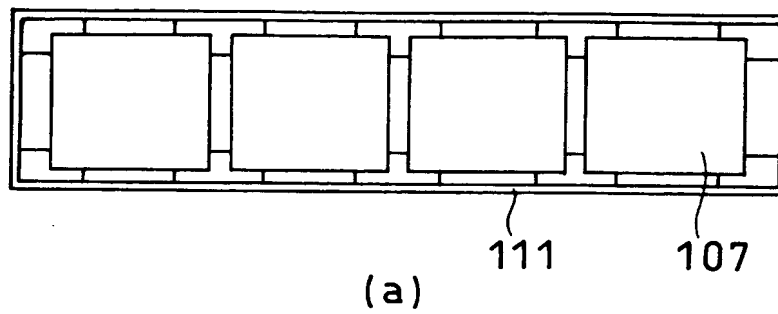
- 103 ; CSPパッド
- 104 ; CSP内部配線
- 105 ; 外部パッド
- 107a ; コア材
- 107b ; ビアホール
- 107c ; ビアホール
- 107d ; 積層板
- 107e ; 保護膜
- 107 ; 基板

【図15】



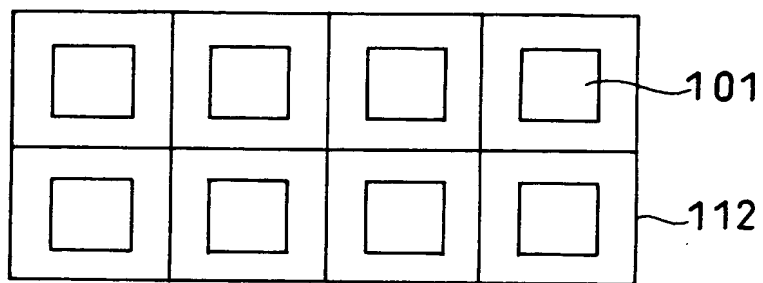
- 101 ; LSIチップ
- 102 ; CSPボール
- 103 ; CSPパッド
- 105 ; 外部パッド
- 106 ; 半田ボール
- 107 ; 基板

【図 1 6】

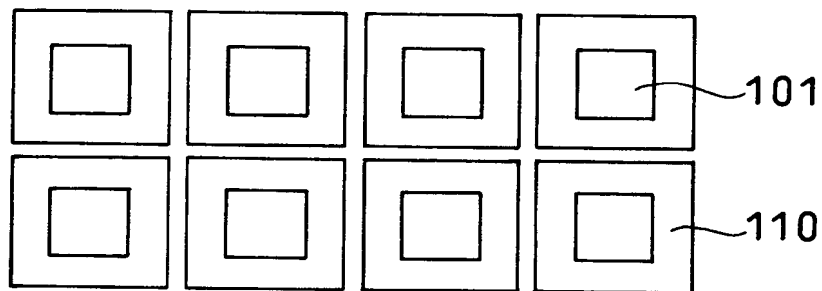


101 ; LSI チップ
 107 ; 基板
 110 ; CSP パッケージ
 111 ; フレーム

【図 1 7】



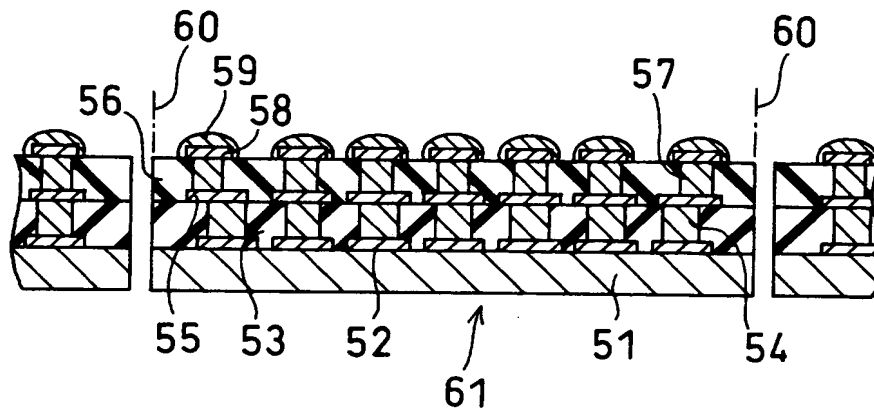
(a)



(b)

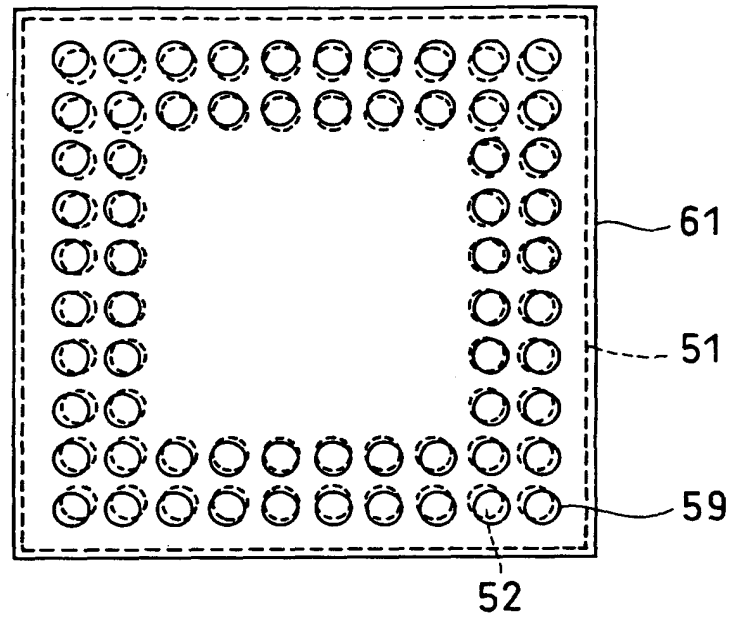
101 : LSIチップ
 110 : CSPパッケージ
 112 : CSP集合体

【図 1 8】



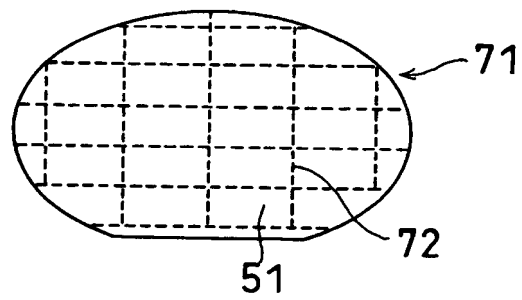
- 51 ; L S I チップ
- 52 ; L S I パッド
- 53 ; 第 1 樹脂コート層
- 54 ; 第 1 コンタクト電極
- 55 ; 中間配線層
- 56 ; 第 2 樹脂コート層
- 57 ; 第 2 コンタクト電極
- 58 ; C S P パッド
- 59 ; C S P バンプ
- 60 ; L S I チップサイドライン
- 61 ; C S P パッケージ

【図19】

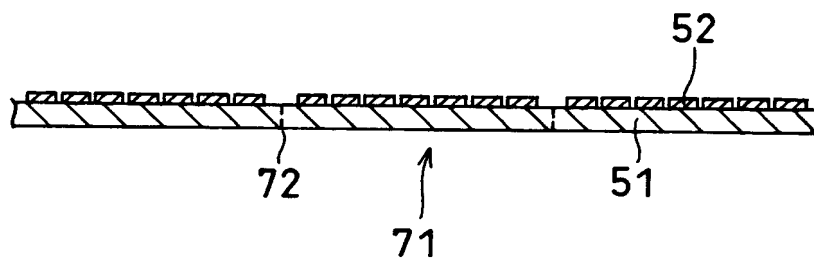


- 51 ; L S I チップ
- 52 ; L S I パッド
- 59 ; C S P バンプ
- 61 ; C S P パッケージ

【図 2 0】



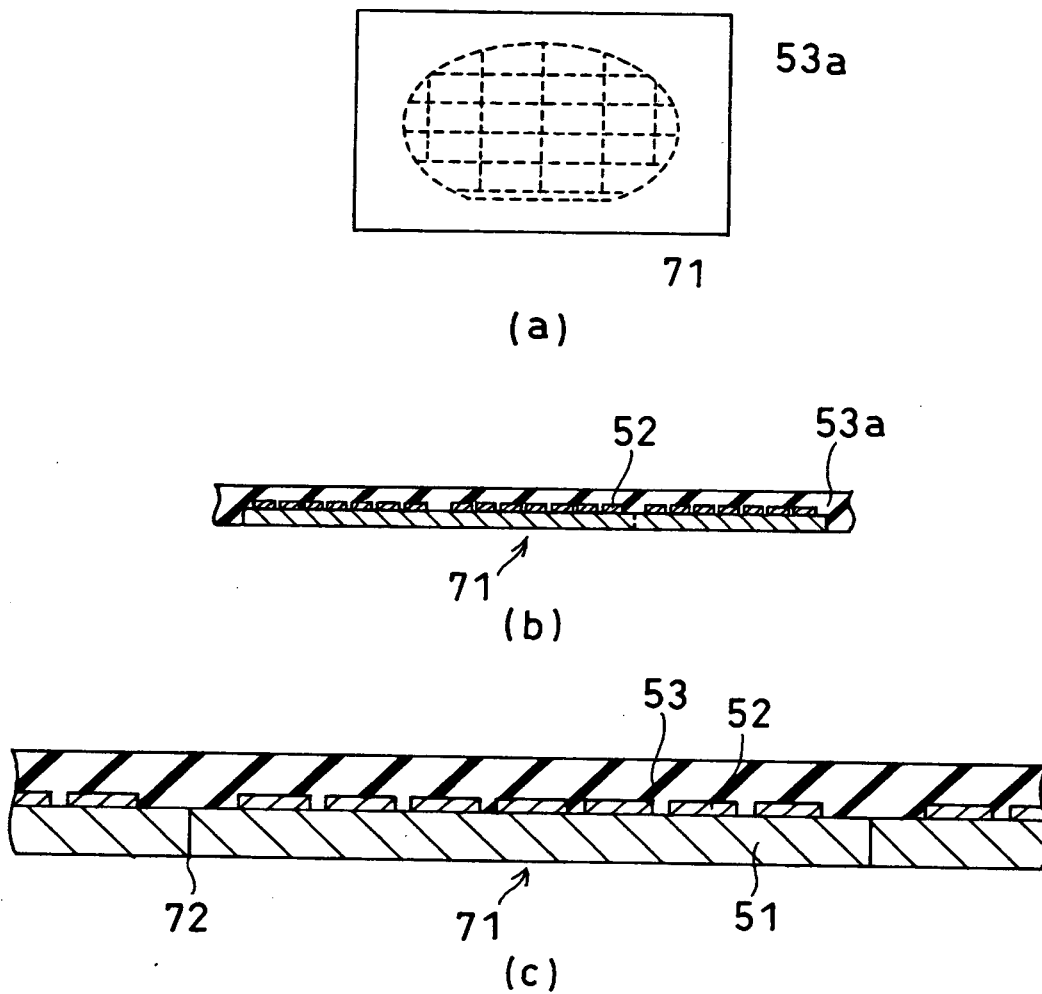
(a)



(b)

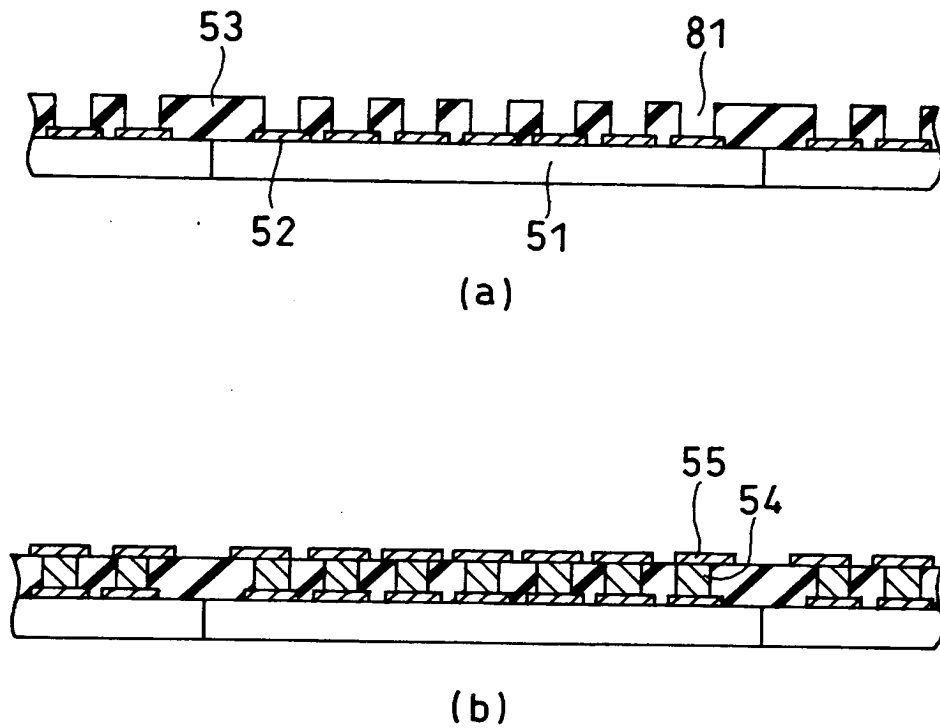
51 ; L S I チップ
 52 ; L S I パッド
 71 ; ウェハ
 72 ; スク라이ブライン

【図 2 1】



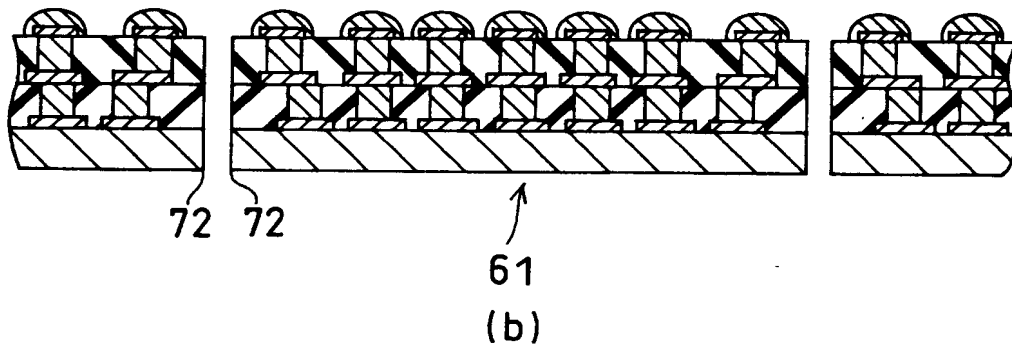
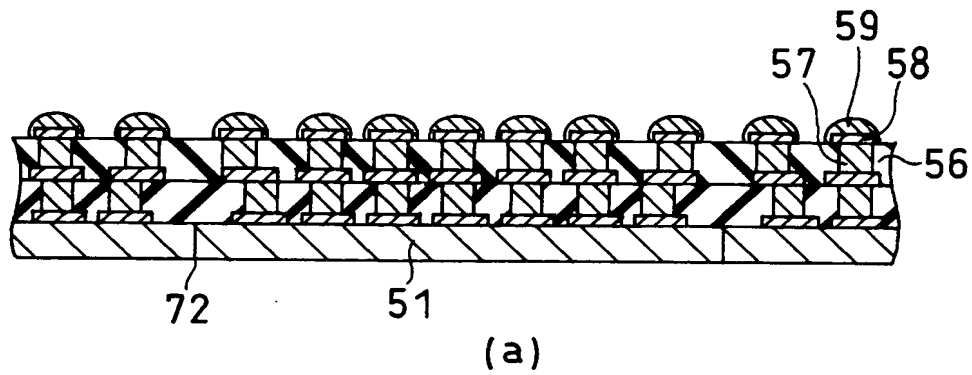
- 51 ; L S I チップ
- 52 ; L S I パッド
- 53 ; 第 1 樹脂コート層
- 53 a ; 樹脂薄膜製封止フィルム
- 71 ; ウェハ
- 72 ; スクライブライン

【図 22】



- 51 : LSIチップ
- 52 : LSIパッド
- 53 : 第1樹脂コート層
- 54 : 第1コンタクト電極
- 55 : 中間配線層
- 81 : コンタクトホール

【図 2 3】



- 51 ; L S I チップ
- 56 ; 第 2 樹脂コート層
- 57 ; 第 2 コンタクト電極
- 58 ; C S P パッド
- 59 ; C S P バンプ
- 61 ; C S P パッケージ
- 72 ; スクライブライン

【書類名】 要約書

【要約】

【課題】 外部端子ピッチが広い半導体用CSP型パッケージ及びその製造方法を提供する。

【解決手段】 個片化されたLSIチップ1上に形成されたLSIパッド2及び第1コンタクト電極4を電氣的に絶縁する第1樹脂コート層を、LSIチップ1外縁端よりも外側まで延出させ、LSIチップ1よりもパッケージを大きくする。中間配線層5及び第2コンタクト電極7の一部をLSIチップ1外縁端よりも外側に形成された第1樹脂コート層3上に形成し、この第2コンタクト電極7上にCSPパッド8及びCSPバンプ9を形成する。CSPパッド8及びCSPバンプ9はLSIチップ1外縁端よりも外側に形成される。よって、これら外部端子のピッチは、狭いピッチで隣接して配置されるLSIパッド2のピッチよりも広くすることができるため、外部基板の配線設計及び製造を容易にすることができる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 3 6 6 4 0
受付番号	5 0 2 0 1 2 1 0 8 2 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 8 月 1 5 日

<認定情報・付加情報>

【提出日】	平成14年 8月14日
-------	-------------

【書類名】 出願人名義変更届（一般承継）
【整理番号】 71110520
【提出日】 平成15年 1月29日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2002-236640
【承継人】
 【識別番号】 302062931
 【氏名又は名称】 N E Cエレクトロニクス株式会社
【承継人代理人】
 【識別番号】 100090158
 【弁理士】
 【氏名又は名称】 藤巻 正憲
【提出物件の目録】
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 平成15年1月10日提出の特願2002-31848
 8の出願人名義変更届に添付のものを援用する。
 【物件名】 承継人であることを証明する承継証明書 1
 【援用の表示】 平成15年1月23日提出の平成11年特許願第031
 184号の出願人名義変更届に添付のものを援用する。
 【包括委任状番号】 0216549
【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社